

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 29/78

(11) 공개번호 특1999-0063059
(43) 공개일자 1999년07월26일

(21) 출원번호	10-1998-0054985
(22) 출원일자	1998년12월15일
(30) 우선권주장	97-345365 1997년12월15일 일본(JP)
(71) 출원인	소니 가부시끼가이샤 이데이 노부유키
(72) 발명자	일본국 도쿄도 시나가와구 기타시나가와 6초메 7반 35고 나이카 이하치 일본국 도쿄도 시나가와구 기타시나가와 6초메 7반 35고 소니 가부시끼가이샤 내 노다 마사노리 일본국 도쿄도 시나가와구 기타시나가와 6초메 7반 35고 소니 가부시끼가이샤 내 아다치 도루 일본국 도쿄도 시나가와구 기타시나가와 6초메 7반 35고 소니 가부시끼가이샤 내
(74) 대리인	김재만, 박종길

심사청구 : 없음

(54) 불휘발성 반도체 기억장치 및 이를 사용한 IC 메모리 카드

요약

본 발명은 용도에 따라 사용 방법의 변경이 가능하고, 높은 신뢰성을 갖는 불휘발성 반도체 기억장치 및 이를 사용한 IC 메모리 카드를 제공한다.

IC 메모리 카드 (10)는 다치형(多値型) 플래시 메모리칩(11a,11b,11c,11d) 및 컨트롤러(12)를 주(主)구성요소로서 구비하고, 기억용량은 크지만 기입/소거속도나 반복 재기입 보증 회수의 저하가 있는 사용 또는 기억 용량이 작지만 기입/소거속도나 반복 재기입 보증 회수의 저하가 없는 사용과 같은 응용에 따라 복수의 동작 모드를 임의로 선택할 수 있도록 구성된다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명에 관한 불휘발성 반도체 기억장치를 사용한 IC 메모리 카드 (플래시 메모리 카드) 시스템의 일 실시형태를 나타낸 블록구성도.

도 2는 IC 메모리 카드의 데이터 기억영역의 전체를 LP 모드 또는 SP 모드로 설정하는 형태를 설명하기 위한 도면.

도 3은 IC 메모리 카드의 기억영역의 부분마다 LP 모드 또는 SP 모드로 설정하는 형태를 설명하기 위한 도면.

도 4는 본 발명에 관한 플래시 메모리칩의 구성예를 나타낸 블록도.

도 5는 도 4의 메모리어레이 및 메인(main) 디코더의 구체적인 구성예를 나타낸 회로도.

도 6은 2치(値)/다치 겸용 래치 및 감지 앰프회로의 구체적인 구성예를 나타낸 회로도.

도 7은 도6의 회로의 4치 독출(讀出)시의 동작을 설명하기 위한 타이밍차트.

도 8은 도 6의 회로의 4치 프로그램 시의 동작을 설명하기 위한 타이밍차트.

도 9는 도 6의 회로의 2치 독출시의 동작을 설명하기 위한 타이밍차트.

도 10은 도 6의 회로의 2치 프로그램시의 동작을 설명하기 위한 타이밍차트.

도 11은 모드 데이터의 기록방법을 설명하기 위한 도면.

도 12는 카드 외형의 일부에 특징을 부여함에 따라, LP 모드 전용카드 또는 SP 모드 전용카드로 하는 방법을 설명하기 위한 도면.

도 13은 이 재기입 보증 횟수에 의거하는 LP/SP 모드 전환처리를 나타낸 플로우 차트.

도면의 주요 부분에 대한 부호의 설명

10: IC 메모리 카드, 11a-11d: 플래시 메모리칩, 12: 컨트롤러, 20: 호스트장치, 111: 메모리 어레이, 111a: 데이터영역, 111b: 스페어영역, 112: 메인디코더,

113: 서브디코더, 114: 2치/다치 겸용 래치 및 감지 앰프회로(LS).

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리셀에 2치 또는 3치 이상의 데이터를 기록 가능한 불휘발성 반도체 기억장치 및 그것을 사용한 IC 메모리 카드에 관한 것이다.

플래시메모리 등의 불휘발성 반도체 기억장치에 있어서는, 1개의 메모리셀 트랜지스터에 「0」, 「1」 2개의 값을 취하는 데이터를 기록하는 2치형의 메모리셀 구조가 통상적이다.

또, 최근의 반도체 기억장치의 대용량화의 요망에 따라, 1개의 메모리셀 트랜지스터에 최소한 3치 이상의 데이터를 기억하는, 이른바 다치형의 불휘발성 반도체 기억장치가 제안되어 있다(예를 들면, 「A Multi-Level 32Mb Flash Memory」'95 ISSCC p132 참조).

이와 같이 2치를 포함하는 다치 데이터를 기록 가능한 불휘발성 반도체 기억장치는 일반적으로는 소위 데이터 기억장치(data storage)로 사용된다.

데이터 기억장치가 플래시 메모리를 사용함에 따라, 최근 64M비트의 NAND형 플래시 메모리 등과 같은 대용량의 메모리가 나타나기 시작했으며, 이에 따라 디지털 스틸 카메라 등 대용량 제품의 시장도 활성화되고 있다.

그래서, 플래시 메모리를 기억매체로 한 IC(Integrated Circuit) 메모리 카드가 제안되어 시장에 투입되고, 일부 디지털 스틸 카메라에 채용되고 있다.

그런데 근년에 디지털 스틸 카메라에 있어서, 플래시 메모리 카드가 정지화(靜止畫)의 기억에 사용되고 있지만, 금후 음악 기록이나 동화(動畵) 기억에도 그 이용이 확대될 것이 예상된다.

플래시 메모리 카드의 대용량화에는 플래시 메모리칩의 대용량화가 필요하지만, 플래시 메모리의 대용량화는 반도체의 스케일링(scaling)에 추가하여, 전술한 1개의 메모리셀에 복수의 데이터(비트)를 격납하는 메모리셀의 다치화에 의해서도 실현되고 있다.

일반적으로, 메모리셀의 다치화를 행하면 메모리 용량은 증대되지만, 반면에 기입 속도나 독출 속도의 저하, 반복 재기입 보증 횟수의 저하를 초래한다.

즉, 다치화한 플래시 메모리를 사용한 플래시 메모리 카드에서는, 다치화하지 않은 플래시 메모리를 사용한 플래시 메모리 카드와 비교하여, 기입/독출속도의 저하, 반복 재기입 보증 횟수의 저하가 발생한다.

휴대용 퍼스널컴퓨터나 휴대용 정보 단말기로 대표되는 정보장치에 있어서는, 이들의 장치에서 사용되는 플래시 메모리 카드에의 반복 재기입 횟수가 많아, 다치화하지 않은 플래시 메모리를 탑재한 플래시 메모리 카드의 사용이 적합하다.

반복 재기입 보증 횟수로서는 약 10만회 정도이다.

그러나, 일반 소비자용 장치, 특히 정지화나 음악이나 동화를 기록하는 AV(Audio Video) 장치에 있어서는, 플래시 메모리 카드에의 데이터의 반복 재기입 횟수가 적어, 다치 메모리셀을 탑재한 플래시 메모리 카드가 사용될 것이 예상된다.

이러한 반복 재기입 보증 횟수는 1만회 이하이다.

다치 플래시 메모리를 탑재한 플래시 메모리 카드의 쪽이, 다치가 아닌 플래시 메모리를 탑재한 플래시 메모리 카드와 비교하여 카드의 기억용량이 커진다는 점, 즉 바이트 단가가 싸진다는 점에 유의하여야 한다.

이상과 같이, 다치 플래시 메모리를 탑재한 플래시 메모리 카드는 일반 소비자용 전자장치에 사용하기에 적합하다.

발명이 이루고자하는 기술적 과제

이와 같이, 금후 플래시 메모리 카드는 기입/독출 속도가 빠르고 반복 재기입 보증 횟수가 많은 제품과, 기입/독출 속도가 느리고 반복 재기입 횟수가 적은 제품의 2개가 용도에 따라 구분 사용될 것으로 추측된다.

따라서, 사용자는 용도에 따라 어느 하나로 한정된 제품을 선택하지 않으면 안되는 문제에 직면하게 된다.

따라서, 개발도 각각의 전용 플래시 메모리 카드 및 전용 플래시 메모리칩이나 이들을 제어하는 전용 컨트롤

러의 개발이 필요하다.

본 발명은 이러한 사정을 감안하여 이루어진 것이며, 그 목적은 용도에 따라 사용방법의 변경이 가능하고, 또한 신뢰성이 높은 불휘발성 반도체 기억장치 및 이를 사용한 IC 메모리 카드를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명은 2치 또는 3치 이상의 다치 데이터를 기억할 수 있는 복수의 메모리셀 트랜지스터가 배열된 메모리 어레이 영역을 가지는 불휘발성 반도체 기억장치에 있어서, 상기 메모리 어레이 영역의 최소한 일부 영역의 기억용량을 변경하여 기억할 수 있는 수단을 가진다.

또, 본 발명은 2치 또는 3치 이상의 다치 데이터를 기억할 수 있는 복수의 메모리셀 트랜지스터가 배열된 메모리 어레이 영역을 가지는 불휘발성 반도체 기억장치에 있어서, 상기 메모리 어레이 영역의 최소한 일부 영역에 기록되어야 할 다치 데이터의 레벨수를 변경하여 기억용량을 변경함으로써 데이터를 기억할 수 있는 수단을 가진다.

또, 본 발명에서는 상기 다치 데이터의 레벨수를 변경할 수 있는 수단이 외부로부터의 동작모드신호에 따라 다치 데이터의 레벨수를 변경한다.

또, 본 발명에서는 상기 동작모드는 기억용량이 큰 제1 모드와, 기억용량이 작은 제2 모드이고, 상기 다치 데이터의 레벨수를 변경할 수 있는 수단이 제1 모드 시의 다치 데이터의 레벨수를 제2 다치 데이터의 레벨수보다 높게 설정한다.

또, 본 발명에서는 상기 다치 데이터의 레벨수를 변경할 수 있는 수단이 외부로부터의 동작모드 신호에 따라 최대 기억용량을 변경할 수 있고, 상기 최대 기억용량에 따라 다치 데이터의 레벨수를 변경한다.

또, 본 발명에서는 상기 다치 데이터의 레벨수를 변경할 수 있는 수단은 기억 영역의 부분들마다 기억용량의 변경을 행하는 경우에는, 기입/소거 단위인 블록마다 해당 변경을 행한다.

또, 본 발명의 불휘발성 반도체 기억장치는 페이지 단위로 데이터의 기입 및 독출을 행한다.

또, 본 발명에서는 다치 데이터의 레벨수를 변경해도 페이지 사이즈가 일정하게 유지되도록 다치 데이터의 레벨수를 낮게 한 경우 다치 데이터의 레벨수가 높은 경우에 액세스되는 복수의 열을 1페이지로 하는 수단을 가진다.

또, 본 발명에서는 복수의 동작모드 중의 최소한 1개의 기억용량의 모드에 있어서, 그 모드에서의 기입/소거의 반복 횟수를 카운트하는 카운터를 가진다.

또, 본 발명에서는 상기 다치 데이터의 레벨수를 변경할 수 있는 수단은 기록영역의 부분마다 기억용량의 변경을 행하는 경우에는, 기입/소거 단위인 블록마다 해당 변경을 행하고, 또한, 블록마다 복수의 동작모드 중 최소한 1개의 기억용량 모드에 있어서, 그 해당 모드에서의 기입/소거의 반복 횟수를 카운트하는 카운터를 가진다.

또, 본 발명에서는 상기 다치 데이터의 레벨수를 변경할 수 있는 수단은 상기 카운터가 그 모드에서의 반복 재기입 보충 횟수를 초과한 경우 기록영역의 최소한 일부의 최대 기억용량이 작아지도록 다치 데이터의 레벨수를 낮게 설정 변경한다.

또, 본 발명에서는 최대 기억용량이 작아지도록 다치 데이터의 레벨수를 낮게 설정 변경한 경우, 외부에 그러한 변경이 있었음을 알리는 수단을 가진다.

또, 본 발명은 외부장치와 데이터의 기록/재생이 가능한 IC 메모리 카드에 있어서, 2치 또는 3치 이상의 다치 데이터를 기록 가능한 메모리셀 트랜지스터가 복수 배열된 메모리 어레이 영역과, 상기 메모리 어레이 영역의 최소한 일부 영역의 기억용량을 변경하여 기억이 가능한 수단을 구비한 불휘발성 반도체 기억장치를 가진다.

또, 본 발명은 외부장치와 데이터의 기록/재생이 가능한 IC 메모리 카드에 있어서, 2치 또는 3치 이상의 다치 데이터를 기록 가능한 메모리셀 트랜지스터가 복수 배열된 메모리 어레이 영역과, 상기 메모리 어레이 영역의 최소한 일부 영역의 기억해야 할 다치 데이터의 레벨수를 변경하고 기억용량을 변경함으로써 기억이 가능한 수단을 구비한 불휘발성 반도체 기억장치를 가진다.

또, 본 발명에서는 상기 기억용량을 변경할 수 있는 수단은 외부신호에 따라 기억용량의 변경을 행한다.

또, 본 발명에서는 상기 동작모드는 기억용량이 큰 제1 모드와, 기억용량이 작은 제2 모드이고, 상기 다치 데이터의 레벨수를 변경할 수 있는 수단은 제1 모드 시의 다치 데이터의 레벨수를 제2 다치 데이터의 레벨수보다 높게 설정한다.

또, 본 발명에서는 카드에 기억용량을 설정하기 위한 특징부가 형성되고, 상기 외부장치는 상기 카드의 특징부에 따라 기억용량을 식별하고, 상기 기억용량을 변경할 수 있는 수단은 외부장치로부터의 신호에 따라 기억용량의 변경을 행한다.

또, 본 발명에서는 상기 다치 데이터의 레벨수를 변경할 수 있는 수단은 기록영역의 부분마다 기억용량의 변경을 행하는 경우에는, 기입/소거 단위인 블록마다 해당 변경을 행한다.

또, 본 발명의 IC 메모리 카드에서, 상기 불휘발성 반도체 기억장치는 페이지 단위로 데이터의 기입 및 독출을 행한다.

또, 본 발명에서는 다치 데이터의 레벨수를 변경해도 페이지 사이즈가 일정하게 유지되도록 다치 데이터의 레벨수를 낮게 한 경우에는, 다치 데이터의 레벨수가 높은 때에 액세스되는 복수의 열을 1페이지로 하는 수단을

가진다.

또, 본 발명에서는 복수의 동작모드 중의 최소한 1개의 기억용량의 모드에 있어서, 그 모드에서의 기입/소거의 반복횟수를 카운트하는 카운터를 가진다.

또, 본 발명에서는 상기 다치 데이터의 레벨수를 변경할 수 있는 수단은 기록영역의 부분마다 기억용량의 변경을 행하는 경우 기입/소거 단위인 블록마다 당해 변경을 행하고, 또한, 블록마다 복수의 동작모드 중의 최소한 1개의 기억용량의 모드에 있어서, 그 해당 모드에서의 기입/소거의 반복횟수를 카운트하는 카운터를 가진다.

또, 본 발명에서는 상기 다치 데이터의 레벨수를 변경할 수 있는 수단은 상기 카운터가 해당 모드에서의 반복 재기입 보증 횟수를 초과한 경우에는, 기억영역의 최소한 일부의 최대 기억용량이 작아지도록 다치 데이터의 레벨수를 낮게 설정 변경한다.

또, 본 발명에서는 최대 기억용량을 작아지도록 다치 데이터의 레벨수를 낮게 설정 변경한 경우, 외부에 그러한 변경이 있었음을 알리는 수단을 가진다,

본 발명에 의하면, 외부신호의 지정, 또는 IC 메모리 카드에 형성된 특징부에 의거하여 외부장치로 기억용량이 식별된다. 그리고, 기억용량을 변경할 수 있는 수단에 의해, 외부장치로부터의 신호에 따라 기억용량이 변경된다.

그리고, IC 메모리 카드의 특징부로서, 전기적인 스위치에 의해 최대 기억용량의 모드를 변경하여 가능한 것, 또는 카드의 노치(notch) 위치나 크기, 카드의 구멍형상의 위치나 크기를 나타내며, 사용자가 외형 변경을 자유롭게 할 수 있는 슬라이드 스위치에 의해 식별하는 것도 포함된다.

또, 최대용량을 변경할 때에는, 카드에 탑재되어 있는 플래시 메모리의 다치의 레벨수가 그 최대 기억용량에 따라 변경된다.

또, 기록의 부분마다 기억용량의 변경을 행하는 경우에는, 그 변경의 최소 단위로서 메모리의 기입/소거 단위인 블록마다 모드의 설정이 행해진다. 그리고, 기억용량을 변경했을 때에 페이지 사이즈(예를 들면 512바이트)가 변경되지 않도록 복수의 페이지를 1페이지로 하는 기능이 구비되어 있다.

또, 예를 들면 카운트로 최소한 1개의 기억용량의 모드에 있어서, 그 모드에서의 기입/소거의 반복횟수가 카운트되고, 그 횟수가 기록된다. 그리고, 그 모드에서의 반복 재기입 보증 횟수를 초과한 경우에는, 그 신호가 외부장치로 보내지고, 그 이후는 모드를 설정하고 있는 메모리 전체 또는 일부는 최대 기억용량을 축소하여 사용된다.

다음에, 본 발명의 실시형태를 도면에 관련시켜 설명한다.

도 1은 본 발명에 관한 불휘발성 반도체 기억장치를 사용한 IC 메모리 카드 (플래시 메모리 카드) 시스템의 일 실시형태를 나타낸 블록구성도이다.

도 1에 나타낸 바와 같이, IC 메모리 카드 시스템은 IC 메모리 카드 (10) 및 IC 메모리 카드 (10)와의 사이에서 데이터의 기록/재생이 가능한 호스트장치(20)에 의해 구성되어 있다.

IC 메모리 카드 (10)는 다치형 플래시 메모리칩(11a,11b,11c,11d) 및 컨트롤러(12)를 주(主)구성요소로서 구비하여, 기억용량은 크지만 기입/소거속도나 반복 재기입 보증 회수의 저하가 있는 사용 또는 기억용량이 작지만 기입/소거속도나 반복 재기입 보증 회수의 저하가 없는 사용과 같은 응용에 따라 복수의 동작 모드를 임의로 선택할 수 있도록 구성된다.

IC 메모리 카드 (10)는 호스트장치(20)로서의 정보장치에도, 또 일반 소비자용 장치에도 모드 설정의 변경만으로 적용할 수 있다.

다음에, 이해하기 쉽게 하기 위해, 기억용량은 크지만 기입/소거속도나 반복 재기입 보증 횟수의 저하가 있는 사용을 LP(Long Play) 모드로 하고, 기억용량은 작지만 기입/소거속도나 반복 재기입 보증 횟수의 저하가 없는 사용을 SP(Short Play) 모드로 하여 설명한다.

본 실시형태에 관한 IC 메모리 카드 (10)에 있어서의 모드 설정은 도 2 (A), (B)에 나타낸 바와 같이, IC 메모리 카드 (10)의 데이터 기억영역 전체를 LP 모드 또는 SP 모드로 설정하는 형태와, 도 3 (A), (B)에 나타낸 바와 같이, IC 메모리 카드 (10)의 기억영역 부분마다 LP 모드 또는 SP 모드로 설정하는 형태를 취하는 것이 가능하다.

그리고, 기억용량의 부분마다 LP 모드 또는 SP 모드로 설정하는 형태의 경우, 도 3 (A)에 나타낸 바와 같이, 플래시 메모리의 기입/소거 단위(블록)마다(예를 들면, NAND형 플래시 메모리에 있어서는 2치 64M 비트 플래시 메모리의 경우, 8K 바이트가 소거 단위) 모드를 설정하는 형태와, 도 3 (B)에 나타낸 바와 같이, 탑재한 플래시 메모리칩마다 모드를 설정하는 형태를 취하는 것이 가능하다.

그리고, 도 3 (B)에 나타낸 예는 플래시 메모리칩이 4칩 탑재되어 있는 경우이다.

다치형 플래시 메모리칩(11a-11d)은 컨트롤러(12)로부터의 동작모드 지령 등을 포함하는 제어신호 S12a-S12d를 받고, 다치 데이터의 레벨수를 변경하여 호스트장치(20)로부터의 데이터를 기억하고, 또는 데이터를 독출한다.

다치 데이터의 레벨수의 변경으로서는 예를 들면 2비트(4치)/셀↔1비트(2치)/셀, 3비트(8치)/셀↔2비트(4치)/셀, 3비트(8치)/셀↔1비트(2치)/셀 등의 변경을 행하는 것이 가능하다.

그리고, 컨트롤러(12)에 의한 제어 아래, LP 모드 시에는 다치 데이터의 레벨수를 높게 하여 기억용량이 커지

도록 제어되고, SP 모드 시에는 다차 데이터의 레벨수를 낮게 하여 기억용량이 작아지도록 제어된다.

다음에, 본 실시형태에서는 2비트(4차)/셀⇔1비트(2차)/셀을 변경하는 경우를 예로 설명한다.

도 4는 본 발명에 관한 플래시 메모리칩(11a~11d)의 구성예를 나타낸 블록도이다.

이 플래시 메모리칩(11)은 도 4에 나타낸 바와 같이, 메모리어레이(111), 메인디코더(112), 서브디코더(113) 및 다차용 래치 및 감지 앰프회로(LS)(114)에 의해 구성되어 있다.

메모리어레이(111)는 데이터영역(111a) 및 스페어영역(111b)에 의해 구성되어 있고, 스페어영역(111b)에는, 예를 들면 데이터영역(111a)에 격납된 데이터의 관리정보가 격납된다.

그리고, 데이터영역(111a) 및 스페어영역(111b)은 1개의 메인디코더(112)에 의해 구동된다.

도 5는 메모리어레이(111) 및 메모리디코더(112)의 구체적인 구성예를 나타낸 회로도이다. 도 5에 있어서는 NAND형 플래시 메모리를 예로 나타내고 있다.

도 5에 나타낸 바와 같이, 메모리 어레이(111)는 직렬로 접속된 8개의 메모리 트랜지스터 M0-M7 및 그 양단에 직렬로 접속된 2개의 선택트랜지스터 ST0, ST1에 의해 구성된 메모리스트링 STRG0, STRG1,...이 매트릭스형으로 배치되어 있다.

그리고, 예를 들면 스트링 STRG1이 데이터영역(111a)으로서 할당되고, 스트링 STRG1이 스페어영역(111b)으로서 할당된다.

메모리스트링 STRG0의 메모리 트랜지스터 M0의 드레인에 접속된 선택트랜지스터 ST0이 비트선 BL0에 접속되고, 메모리 트랜지스터 STRG1의 메모리 트랜지스터 M0의 드레인에 접속된 선택트랜지스터 ST0이 비트선 BL1에 접속되어 있다.

또, 각 메모리스트링 STRG0, STRG1의 메모리 트랜지스터 M7이 접속된 선택트랜지스터 ST1이 공통의 소스선 SL에 접속되어 있다.

또, 동일행에 배치된 메모리스트링 STRG0, STRG1의 메모리 트랜지스터의 게이트전극이 공통의 워드선 W0-WL7에 접속되고, 선택트랜지스터 ST0의 게이트전극이 공통의 선택게이트선 DSG0에 접속되고, 선택트랜지스터 ST1의 게이트전극이 공통의 선택게이트선 SSG0에 접속되어 있다.

메인 디코더(112)는 메인 열(row) 디코더(120), 및 메인 열 디코더(120)에 의해 도통(導通)상태가 제어되는 전송(轉送)게이트군(130), 도시하지 않은 서브디코더로부터 공급되는 워드선 및 선택게이트선용 구동전압 공급선 VCG0-VCG7, VDSG, VSSG 및 메인 열 디코더(120)에 접속된 프로그램전압 Vpp의 공급선 Vpp1에 의해 구성되어 있다.

전송게이트군(130)은 전송게이트 TW0-TW7, TD0, TS0 및 TF0에 의해 구성되어 있다.

구체적으로는, 각 전송게이트 TW0-TW7은 각각 메인 열 디코더(120)의 출력신호 BSEL에 따라 워드선 W0-WL7과 구동전압 공급선 VCG0-VCG7을 작동적으로 접속하고, 전송게이트 TD0, TS0은 동일하게 메인 열 디코더(120)의 출력신호 BSEL에 따라 선택게이트선 DSG0, SSG0과 구동전압 공급선 VDSG, VSSG를 동작 가능하게 접속한다.

또, 전송게이트 TF0은 비선택의 경우에 선택게이트선 DSG0이 플로팅 상태로 되는 것을 방지하기 위해 설치되어 있고, 비선택 시에 선택게이트선 DSG0을 접지라인에 접속한다.

또, 메인 열 디코더(120)는 3-입력 NAND회로 NA121, 인버터 INV121, INV122, 2-입력 NAND회로 NA122, 공핍(depletion)형 NMOS트랜지스터 NT121, 개선(enhancement)형 NMOS트랜지스터 NT122(저(低)스레시홀드 전압), NT123, 및 MOS의 소스·드레인을 결합하여 이루어지는 커패시터 C121에 의해 구성되어 있다.

NAND회로 NA121의 3-입력단자는 어드레스디코드신호 X1, X2, X3의 입력라인에 각각 접속되고, 출력단자는 인버터 INV121의 입력단자에 접속되어 있다.

인버터 INV121의 출력단자는 NAND회로 NA122의 한 쪽의 입력단자, 및 인버터 INV122의 입력단자에 접속되어 있는 동시에, 게이트가 제어신호의 공급단자 SEP에 접속된 NMOS트랜지스터 NT121을 통해 NMOS트랜지스터 NT122의 소스 및 NMOS트랜지스터 NT123의 게이트전극에 접속되어 있다.

NAND회로 NA122의 다른 쪽의 입력단자는 클럭신호 CLK의 입력라인에 접속되고, 출력단자는 커패시터 C121의 한 쪽의 전극에 접속되어 있다. 커패시터 C121의 다른 쪽의 전극은 NMOS트랜지스터 NT122의 드레인 및 게이트전극에 접속되고, 이 드레인과 게이트전극과의 접속점은 NMOS트랜지스터 NT123을 통해 프로그램전압 공급선 Vpp1에 접속되어 있다.

그리고, 인버터 INV122의 출력단자가 전송게이트군(群)(130)의 전송게이트 TFD0의 게이트에 접속되어 있다.

이와 같은 구성에 있어서, 메모리스트링 STRG0, STRG1의 메모리 트랜지스터 M3의 데이터 독출, 및 메모리 트랜지스터 M3에의 데이터 기입은 다음과 같이 행해진다.

독출 시에는, 도시하지 않은 서브디코더에 의해 구동전압 공급선 VCG3에 접지전압 GND(0V)가 공급되고, 구동전압공급선 VCG0-VCG2, VCG4-VCG7 및 구동전압 공급선 VDSG, VSSG에 P5V(예를 들면 4.5V)가 공급되고, 프로그램전압 공급선 Vpp1에 P5V가 공급되고, 소스선 SL에 접지전압 0V가 공급된다.

그리고, 메인 열 디코더(120)에 액티브의 어드레스신호 X1, X2, X3이 입력되고, 메인 열 디코더(120)의 출력신호 BSEL이 P5V+α의 레벨로 출력된다.

이로써, 전송게이트군(130)의 전송게이트 TW0-TW7, TD0 및 TS0이 도통상태로 된다. 이 때, 전송게이트

TF0은 비도통상태로 유지된다.

그 결과, 메모리스트링 STRG0, STRG1의 선택트랜지스터 ST0, ST1이 도통상태로 되고, 비트선 BLO, BL1에 데이터가 독출된다.

가입시에는, 서브디코더(13)에 의해 선택된 구동전압 공급선 VCG3에 고전압, 예를 들면 20V가 공급되고, 구동전압 공급선 VCG0-VCG2, VCG4-VCG7에 중간전압(예를 들면 10V), 구동전압 공급선 VDSG에 전원전압 V_{cc}(예를 들면 3.3V), 구동전압 공급선 VSSG에 접지전압 GND가 공급되고, 프로그램전압 공급선 Vpp1에 예를 들면 20V가 공급된다.

또, 기입을 행해야 할 메모리 트랜지스터 M3을 가지는 메모리 스트링 STRG0이 접속된 비트선 BL0에 접지전압 GND, 기입을 금지해야 할 메모리 트랜지스터 M3을 가지는 메모리스트링 STRG1이 접속된 비트선 BL1에 전원전압 V_{cc}가 인가된다.

그리고, 메인 열 디코더(120)에 액티브의 어드레스신호 X1, X2, X3이 입력되고, 메인 열 디코더(120)의 출력신호 BSEL이 20V+α의 레벨로 출력된다.

이로써, 전송게이트군(130)의 전송게이트 TW0-TW7, TD0 및 TS0 이 도통상태로 된다.

그 결과, 선택워드선 WL3에 기입전압 20V가, 비선택의 워드선 WL0-WL2, WL4-WL7에 패스전압(중간전압) Vpass(예를 들면 10V)가 인가된다.

이로써, 메모리스트링 STRG1의 선택트랜지스터 ST0이 컷오프(cut-off)상태로 되고, 기입을 금지해야 할 메모리 트랜지스터가 접속된 메모리스트링 STRG1의 채널부는 플로팅상태로 된다. 그 결과, 이들 채널부의 전위는 주로 비선택 워드선에 인가되는 패스전압 Vpass와의 커패시터커플링에 의해 부스트(boost)되고, 기입금지전압까지 상승하여, 메모리스트링 STRG1의 메모리 트랜지스터 M3에의 데이터 기입이 금지된다.

한편, 기입을 행해야 할 메모리 트랜지스터가 접속된 메모리스트링 STRG0의 채널부는 접지전압 GND(0V)에 설정되고, 선택워드선 WL3에 인가된 기입전압 20V와의 전위차에 의해, 메모리 트랜지스터 M3에의 데이터 기입이 이루어지고, 스레시홀드전압이 플러스방향으로 시프트하여, 예를 들면 소거상태의 -3V로부터 2V 정도로 된다.

서브디코더(113)는 기억용량이 크지만 기입/소거속도나 반복 재기입 보증 횟수의 저하가 있는 사용을 행하는 경우에는 컨트롤러(12)로부터 LP 모드 동작인 취지를 지시하는 제어신호 SLP(S12a-S12d), 또는 다치용 래치 및 감지 앰프회로로서 동작하고, 기억용량이 작지만 기입/소거속도나 반복 재기입 보증 횟수의 저하가 없는 사용을 행하는 경우에는 컨트롤러(12)로부터 SP 모드 동작인 취지를 지시하는 제어신호 SSP(S12a-S12d)를 받아, 동작모드에 따른 구동전압을 메인디코더(112)에 공급한다.

2치/다치 겸용 래치 및 감지 앰프회로(LS)(114)는 기억용량이 크지만 기입/소거속도나 반복 재기입 보증 횟수의 저하가 있는 사용을 행하는 경우에는 컨트롤러(12)로부터 LP 모드 동작인 취지를 지시하는 제어신호 SLP(S12a-S12d)를 받아, 다치용 래치 및 감지 앰프회로로서 동작하고, 기억용량이 작지만 기입/소거속도나 반복 재기입 보증 횟수의 저하가 없는 사용을 행하는 경우에는 컨트롤러(12)로부터 SP 모드 동작인 취지를 지시하는 제어신호 SSP(S12a-S12d)를 받아, 2치용 래치 및 감지 앰프회로로서 동작한다.

도 6은 이 2치/다치 겸용 래치 및 감지 앰프회로(LS)(114)의 구체적인 구성예를 나타낸 회로도이다. 도 6에 있어서는, NAND형 플래시 메모리를 예로 나타내고 있다.

2치/다치 겸용 래치 및 감지 앰프회로(114)는 도 6에 나타난 바와 같이, NMOS트랜지스터 NT1401-NT1422, PMOS트랜지스터 PT1401, PT1402, 인버터 INV1401, 및 인버터의 입출력끼리를 결합하여 이루어지는 래치회로 Q141, Q142에 의해 구성되어 있다.

NMOS트랜지스터 NT1401은 전원전압 V_{cc}의 공급라인과 비트선 BLD0과의 사이에 접속되고, 게이트전극이 금지신호 IHB1의 공급라인에 접속되어 있다. NMOS트랜지스터 NT1402는 전원전압 V_{cc}의 공급라인과 비트선 BLD1과의 사이에 접속되고, 게이트전극이 금지신호 IHB2의 공급라인에 접속되어 있다.

비트선 BLD0 및 NMOS트랜지스터 NT1401의 접속점과 메모리스트링 STRGD0 및 비트선 BLD0과의 접속점과의 사이에는 공핍형의 NMOS트랜지스터 NT1423이 접속되고, 비트선 BLD1 및 NMOS트랜지스터 NT1402의 접속점과 메모리스트링 STRGD1 및 비트선 BLD1과의 접속점과의 사이에는 공핍형의 NMOS트랜지스터 NT1424가 접속되어 있다. 그리고, NMOS트랜지스터 NT1423, NT1424의 게이트는 디커플(decouple)신호 공급선 DCPL에 접속되어 있다.

비트선 BLD0 및 NMOS트랜지스터 NT1401의 접속점과 버스라인 IO_i와의 사이에 NMOS트랜지스터 NT1403, NT1405, NT1419가 직렬로 접속되고, 비트선 BLD1 및 NMOS트랜지스터 NT1402의 접속점과 버스라인 IO_{i+1}과의 사이에 NMOS트랜지스터 NT1404, NT1406, NT1420이 직렬로 접속되어 있다.

NMOS트랜지스터 NT1403과 NT1405의 접속점으로 이루어지는 노드 SA1은 NMOS트랜지스터 NT1407을 통해 접지되는 동시에, PMOS트랜지스터 PT1401의 드레인에 접속되고, 또한 NMOS트랜지스터 NT1418을 통해 NMOS트랜지스터 NT1408의 게이트전극에 접속되어 있다.

또, NMOS트랜지스터 NT1404와 NT1406의 접속점으로 이루어지는 노드 SA2는 PMOS트랜지스터 PT1402의 드레인 및 NMOS트랜지스터 NT1413의 게이트전극에 접속되어 있다.

노드 SA1과 노드 SA2는 NMOS트랜지스터 NT1416을 통해 접속되고, NMOS트랜지스터 NT1413의 게이트전극과 NMOS트랜지스터 NT1408의 게이트전극이 NMOS트랜지스터 NT1417을 통해 접속되어 있다.

그리고, NMOS트랜지스터 NT1407의 게이트가 리셋(reset)신호 RST의 공급라인에 접속되고, PMOS트랜지스터 PT1401의 소스가 전원전압 V_{cc} 의 공급라인에 접속되고, PMOS트랜지스터 PT1401의 게이트가 신호 Vref1의 공급라인에 접속되어 있다.

또, PMOS트랜지스터 PT1402의 소스가 전원전압 V_{cc} 의 공급라인에 접속되고, PMOS트랜지스터 PT1402의 게이트가 신호 Vref2의 공급라인에 접속되어 있다.

또한, NMOS트랜지스터 NT1416, NT1417의 게이트전극이 LP 모드신호(다치)신호 SLP의 공급라인에 접속되고, NMOS트랜지스터 NT2418의 게이트전극이 SP 모드신호 SSP의 공급라인에 접속되어 있다.

래치회로 Q141의 제1 기억노드 N141a가 NMOS트랜지스터 NT1405와 NT1419와의 접속점에 접속되고, 제2 기억노드 N141b가 직렬로 접속된 NMOS트랜지스터 NT1408-NT1410을 통해 접지되어 있다.

래치회로 Q142의 제1 기억노드 N142a가 NMOS트랜지스터 NT1406과 NT1420과의 접속점에 접속되고, 제2 기억노드 N142b가 직렬로 접속된 NMOS트랜지스터 NT1413-NT1415를 통해 접지되어 있다.

또, NMOS트랜지스터 NT1408과 NT1409의 접속점이 직렬로 접속된 NMOS트랜지스터 NT1411, NT1412를 통해 접지되어 있다.

NMOS트랜지스터 NT1409의 게이트는 래치회로 Q142의 제1 기억노드 N142a에 접속되고, NMOS트랜지스터 NT1410의 게이트는 래치신호 ϕ_{LAT2} 의 공급라인에 접속되고, NMOS트랜지스터 NT1411의 게이트가 제2 기억노드 N142b에 접속되고, NMOS트랜지스터 NT1412의 게이트가 래치신호 ϕ_{LAT1} 의 공급라인에 접속되고, NMOS트랜지스터 NT1414, NT1415의 게이트가 래치신호 ϕ_{LAT3} 의 공급라인에 접속되어 있다.

그리고, 칼럼게이트로서의 NMOS트랜지스터 NT1419의 게이트가 신호 Yi의 공급라인에 접속되고, NMOS트랜지스터 NT1420의 게이트가 신호 Yi+1의 공급라인에 접속되어 있다.

또한, 인버터 INV1401의 입력단자가 접지되고, 출력단자가 판정회로(141)에 접속되어 있다. 또, 인버터 INV1401의 출력단자와 접지라인과의 사이에 NMOS트랜지스터 NT1421 및 NT1422가 병렬로 접속되어 있다. 그리고, NMOS트랜지스터 NT1421의 게이트전극이 제1 래치회로 Q141의 제2 기억노드 N141b에 접속되고, NMOS트랜지스터 NT1422의 게이트전극이 제2 래치회로 Q142의 제2 기억노드 N142b에 접속되어 있다.

판정회로(141)는 기입동작 시에, 모든 메모리셀트랜지스터에 대하여 기입이 종료했는지 여부를 인버터 INV1401의 출력라인의 전위로 판정하여, 기입이 종료된 것으로 판정했을 때는, 서브디코더(113)에 종료신호 S_{END}를 출력한다.

구체적으로는, 기입이 완료되면 각 래치회로 Q141, Q142의 제1 기억노드 N141a, 142a가 전원전압 V_{cc} 레벨로 되고, 제2 기억노드 N141b, 142b가 접지레벨로 된다. 그 결과, NMOS트랜지스터 NT1421, NT1422가 비도통상태로 유지되어 인버터 INV2401의 출력라인의 전위가 전원전압 V_{cc} 레벨로 되고, 이로써 기입이 종료한 것으로 판정한다.

한편, 기입이 충분하지 않은 셀이 있는 경우에는, 각 래치회로 Q141, 142의 제1 기억노드 N141a, 142a 중 어느 하나, 또는 모두가 접지레벨로 되고, 제2 기억노드 N141b, 142b가 전원전압 V_{cc} 레벨로 된다. 그 결과, NMOS트랜지스터 NT1421 또는 NT1422, 또는 양 트랜지스터가 도통상태로 유지되어 인버터 INV1401의 출력라인의 전위가 접지레벨로 되고, 이로써 기입이 불충분한 셀이 있는 것으로 판정한다.

여기에서, 2치/다치 겸용 래치 및 감지 앰프회로(114)의 독출 및 기입(프로그램) 시의 동작의 일예에 대하여 도 7, 도 8, 도 9, 도 10에 관련시켜 설명한다.

도 7은 4치 독출 시의 타이밍차트를 나타내고, 도 8은 4치 기입(프로그램) 시의 타이밍차트를 나타내고 있다. 또, 도 9는 2치 독출 시의 타이밍차트를 나타내고, 도 10은 2치 기입(프로그램) 시의 타이밍차트를 나타내고 있다.

그리고, 도 8에서 알 수 있는 바와 같이, 본 예의 4치 기입은 3스텝에서 행하고, 본래는 각 스텝에서 페이지 단위로 기입을 행하는 모든 셀이 기입 충분으로 판단된 단계에서 다음의 스텝으로 이행한다. 그러나, 본 발명은 이 기입방법에 한정되는 것이 아니다.

먼저, 4치 데이터의 독출 또는 기입을 행하는 경우에는, LP 모드신호 SLP가 액티브한 하이(high) 레벨에서 입력되고, SP 모드신호 SSP는 로우(low) 레벨에서 입력된다(도 7 및 도 8에는 도시하지 않음).

이로써, NMOS트랜지스터 NT1416, NT1417이 도통상태로 되고, NMOS트랜지스터 NT1418은 비도통상태로 유지되고, 노드 SA1과 SA2가 전기적으로 접속되고, 노드 SA1의 전위는 NMOS트랜지스터 NT1408의 게이트전극으로는 NMOS트랜지스터 NT1418을 통해 직접 전달되지 않는다.

4치 독출동작에 대하여 설명한다.

먼저, 리셋신호 RST와 신호 PGM1, PGM2가 하이 레벨로 설정된다. 이로써, 래치회로 Q141, Q142의 제1 기억노드 N141a, N142a가 접지 레벨로 끌려 들어간다. 그 결과, 래치회로 Q141, Q142가 클리어된다.

다음에, 워드선 전압을 예를 들면 2.4V로 하여 독출이 행해진다. 스레시홀드전압 V_{th} 가 워드선 전압(2.4V)보다 높으면 셀전류가 흐르지 않음으로써 비트선 전압은 프리차지(precharge)전압을 유지하여, 하이가 감지된다. 한편, 스레시홀드전압 V_{th} 가 워드선 전압(2.4V)보다 낮으면 셀전류가 흐름으로써 비트선 전압은 강하하여, 로우가 감지된다.

다음에, 예를 들면 워드선 전압 1.2V에서 독출이 행해지고, 마지막으로 워드선 전압 0V에서 독출이 행해진다.

그리고, 3회 독출을 행하여 2비트의 데이터로 한 후 IO에 출력한다.

구체적으로는 셀데이터가 0인 경우, 모든 워드선에서 전류가 흐르지 않으므로, 버스 IO_{i+1}, IO_i에는 (1,1)이 출력된다. 먼저, 워드선 전압을 2.4V로 하여 읽을 때, 래치신호 $\phi\text{LAT}1$ 이 하이 레벨로 설정된다. 이 때, 셀전류가 흐르지 않으므로써 비트선은 하이 레벨로 유지되므로 NMOS트랜지스터 NT1408이 도통상태로 유지되고, 래치회로 Q142가 클리어되어 있음에 따라 래치회로 Q142의 제2 기억노드 N142b가 하이 레벨로 유지되므로 NMOS트랜지스터 NT1411이 도통상태로 유지된다. 따라서, NMOS 트랜지스터 NT1408, NT1411, NT1412가 도통상태로 유지되고, 래치회로 Q141의 제2 기억노드 N141b가 접지레벨로 끌려 들어가고, 래치회로 Q141의 제1 기억노드 N141a는 하이 레벨로 천이(遷移)한다.

다음에, 예를 들면 워드선 전압을 1.2V로 하여 읽을 때, 래치신호 $\phi\text{LAT}3$ 이 하이 레벨로 설정된다. 이 때, 셀전류가 흐르지 않으므로써 비트선은 하이 레벨로 유지되므로 NMOS트랜지스터 NT1413이 도통상태로 유지되고, 래치회로 Q142의 제2 기억노드 N142b가 접지레벨로 끌려 들어가고, 래치회로 Q142의 제1 기억노드 N142a는 하이 레벨로 천이한다. 마지막으로 워드선 전압을 0V로 하여 읽을 때, 래치신호 $\phi\text{LAT}1$ 이 하이 레벨로 설정된다. 이 때, 셀전류가 흐르지 않으므로써 비트선은 하이 레벨로 유지되므로 NMOS트랜지스터 NT1408이 도통상태로 유지되지만, 래치회로 Q142의 제2 기억노드 N142b가 로우 레벨이므로 NMOS트랜지스터 NT1411이 비도통상태로 되고, 래치회로 Q141의 제1 기억노드 N141a는 하이 레벨을 유지한다.

셀데이터가 1인 경우, 소정의 워드선 전압의 경우에만 전류가 흐르고, 버스 IO_{i+1}, IO_i에는 (1,0)이 출력된다. 먼저, 워드선 전압을 2.4V로 하여 읽을 때, 래치신호 $\phi\text{LAT}1$ 이 하이 레벨로 설정된다. 이 때, 셀전류가 흐름으로써 비트선은 로우 레벨로 유지되므로 NMOS트랜지스터 NT1408이 비도통상태로 유지되고, 래치회로 Q141의 제1 기억노드 N141a는 로우 레벨을 유지한다.

다음에 워드선 전압을 1.2V로 하여 읽을 때, 래치신호 $\phi\text{LAT}3$ 이 하이 레벨로 설정된다. 이 때, 셀전류가 흐르지 않으므로써 비트선은 하이 레벨로 유지되므로 NMOS트랜지스터 NT1413이 도통상태로 유지되고, 래치회로 Q142의 제2 기억노드 N142a가 접지레벨로 끌려 들어가고, 래치회로 Q142의 제1 기억노드 N142a는 하이 레벨로 천이한다. 마지막으로 워드선 전압을 0V로 하여 읽을 때, 래치신호 $\phi\text{LAT}1$ 이 하이 레벨로 설정된다. 이 때, 셀전류가 흐르지 않으므로써 비트선은 하이 레벨로 유지되므로 NMOS트랜지스터 NT1408이 도통상태로 유지되지만, 래치회로 Q142의 제2 기억노드 N142b가 로우 레벨이므로 NMOS트랜지스터 NT1411이 비도통상태로 되고, 래치회로 Q141의 제1 기억노드 N141a는 로우 레벨을 유지한다.

셀데이터가 10, 11인 경우에도 마찬가지로 하여 각각 버스 IO_{i+1}, IO_i에는 (0,1), (0,0)이 독출된다.

다음에, 기입동작에 대하여 설명한다.

도 6의 회로에 있어서는, 먼저 래치회로 Q141에 격납되어 있는 데이터에 의해 기입이 행해지고, 다음에 래치회로 Q142, 마지막으로 래치회로 Q141의 데이터에 의해 기입이 행해진다.

기입 데이터가 (Q2,Q1)=(1,0)인 경우에는 래치회로 Q141은 기입 충분으로 되면 0으로부터 1로 반전하지만, (Q2,Q1)=(0,0)인 경우에는 래치회로 Q141은 3스텝째의 기입 데이터로서도 사용할 필요가 있으므로 제1 스텝에서 기입 충분으로 되어도 0으로부터 1로 반전하지 않는다.

각 스텝에서의 기입종료 판정은 래치되어 있는 데이터가 모드 1로 된 단계에서 그 스텝의 기입 종료로 판정한다.

기입 데이터 (Q2,Q1)=(0,0)의 셀은 제1 스텝에서의 래치회로 Q141의 반전은 일어나지 않으므로 와이어드(wired) OR에 의한 종료판정은 행해지지 않는다.

2치 데이터의 독출 또는 기입을 행하는 경우에는, SP 모드신호 SSP가 액티브의 하이 레벨에서 입력되고, LP 모드신호 SLP는 로우 레벨에서 입력된다(도 7 및 도 8에는 도시하지 않음).

이로써, NMOS트랜지스터 NT1418은 도통상태로 유지되고, NMOS트랜지스터 NT1416, NT1417이 비도통상태로 되고, 노드 SA1과 SA2가 전기적으로 비접속상태로 된다. 그리고, 노드 SA1의 전위는 NMOS트랜지스터 NT1408의 게이트전극으로는 NMOS트랜지스터 NT1418을 통해 직접 전달된다.

또, Ai, /Ai이 모두 선택(모두 V_{cc}), IHB1, IHB2가 모두 GND에 고정됨으로써, 비트선과 데이터래치가 1 대 1의 관계로 되어 2치 동작이 가능하게 된다.

여기에서는, 2치 시의 독출 및 기입의 상세한 설명은 생략한다.

또, 독출/식별 제어는 신호 $\phi\text{LAT}3$ 을 하이 레벨로 설정함으로써 노드 SA2의 전위가 래치회로 Q142에 반영되고, 신호 $\phi\text{LAT}1$, $\phi\text{LAT}2$ 를 동시에 하이 레벨로 설정함으로써 NMOS트랜지스터 NT1411, NMOS트랜지스터 NT1409 중 어느 쪽이 도통상태로 되고, 노드 SA1의 전위가 래치회로 Q141에 반영된다.

이상과 같이 하여, 예를 들면 본 실시형태의 불휘발성 반도체 기억장치가 IC 메모리 카드에 적용된 경우에는, IC 메모리 카드의 사양을 변경하지 않고 2치 플래시 메모리와 치환(置換) 가능한 다치 플래시 메모리가 실현된다.

컨트롤러(12)는 예를 들면 호스트장치(20)로부터 송신되는 LP/SP 모드로 전환하기 위한 모드전환신호 S20을 받아, LP 모드 또는 SP 모드에 따른 제어신호 S12a-S12d를 플래시 메모리칩(12a-12d)에 출력하고, 호스트장치(20)와 각 플래시 메모리칩(12a-12d)과의 데이터의 수수(授受), 즉 기입(및 소거)동작 또는 독출동작의 제어를 행한다.

또, 컨트롤러(12)는 호스트장치(20)에 대하여 현재 IC 메모리 카드(10)가 LP/SP 중 어느 모드에 설정되어 있는가를 알리기 위한 모드식별신호 S12를 출력한다.

LP/SP 모드 전환신호 S20은 호스트장치(20)가 양자의 모드에 대응하고 있으면, 호스트장치(20)의 사용자가 수시로 코맨드로서 IC 메모리 카드 (10)로 보낼수 있다.

또, 호스트장치(20)가 어느 한 쪽의 모드에 한정되어 있으면, 자동적으로 호스트장치(20)로부터 IC 메모리 카드 (10)로 모드전환신호 S20이 내보내져 특정의 모드에서만 사용된다.

그리고, IC 메모리 카드 (10)로부터는 모드식별신호 S12가 호스트장치로 내보내짐으로써, 호스트장치(20)는 그 모드에 따른 데이터의 처리(독출동작 등)를 행한다.

또, 컨트롤러(12)는 데이터 독출 시에는, 다치 플래시 메모리의 다치 데이터의 레벨수를 제어하는 제어신호 S12a-12d에 의해 2치/다치 데이터래치의 전환이나 페이지 사이즈를 항상 일정하게 하는 처리를 행한다.

그리고, 컨트롤러(12)는 IC 메모리 카드 (10)에 설정된 모드는 IC 메모리 카드 중 어느 하나의 개소에 기억되어 있지 않으면 안되지만, 이 모드데이터의 기억은 예를 들면 도 11 (A)-(C)에 나타난 바와 같은 방법으로 행해진다.

도 11 (A)에 나타난 방법은 플래시 메모리의 기입/독출 단위인 페이지 단위마다 모드를 기억하는 방법이다.

구체적으로는, 페이지 내의 스페어(관리)영역(NAND형 플래시 메모리에서는 예비(용장(冗長)영역)(111b)의 1 바이트가 이 기억에 할당된다.

도 11 (B)에 나타난 방법은 플래시 메모리의 특정 영역(블록)에 모드데이터를 집중하여 기억하는 방법이다.

도 11 (C)에 나타난 방법은 EEPROM 등의 불휘발성 메모리를 컨트롤러(12)에 온 칩시키고, 이 EEPROM 상에 설정모드를 기억하는 방법이다.

이 기억되는 모드데이터는 IC 메모리 카드 (10) 전체의 모드데이터, 또는 플래시 메모리의 최소 단위(블록)마다의 모드데이터가 집중적으로 기억된다.

그리고, EEPROM 등의 불휘발성 메모리는 컨트롤러(12)와 별도의 칩 구성으로 하는 것도 가능하다.

이상의 방법을 취함으로써, IC 메모리 카드 (10)에는 도 3을 참조하여 설명한 바와 같이, LP/SP 모드 혼재(混在)로 하는 것이 가능하다.

또, 컨트롤러(12)는 기억용량을 변경했을 때, 다치 데이터의 레벨수를 변경해도 페이지 사이즈가 일정하게 유지되도록, 다치 데이터의 레벨수를 낮게 한 경우에는, 다치 데이터의 레벨수가 높은 때에 액세스(기입/독출)되는 복수의 열을 1페이지로 하도록 제어한다.

구체적으로는, 컨트롤러(12)는 예를 들면, 4치를 2치로 한 경우는 4치에서 액세스되는 2행분을 2치에서의 1 페이지로 하도록 제어한다.

다음에, 도 1에 나타난 시스템의 동작을 설명한다.

IC 메모리 카드 (10)가 호스트장치(20)에 대하여 세트되면, 예를 들면 IC 메모리 카드 (10)의 컨트롤러(12)로부터 도 11에 나타난 바와 같은 방법에 의해 기억되어 있는 모드데이터가 독출되고, 설정되어 있는 모드를 나타내는 모드식별신호 S12가 호스트장치(20)에 출력된다.

호스트 장치(20)측으로부터는, 예를 들면 모드 식별신호 S12를 받아, 호스트장치(20)의 사용자가 원하는 LP 모드 또는 SP 모드에서 데이터의 기록을 행하도록 모드전환신호 S20이 IC 메모리 카드 (10)로 송출된다.

또, 모드전환신호 S20에 의해, IC 메모리 카드 (10)의 전체 또는 일부를 LP/SP 모드에서 사용하는지 여부의 지시도 행해진다.

그리고, 모드전환신호 S20을 받은 IC 메모리 카드 (10)에서는, 컨트롤러(12)의 제어 아래, 소정의 방법에 의해 모드데이터의 기록이 행해진다.

그리고, LP/SP 모드 전환신호 S20은 호스트장치(20)가 양자의 모드에 대응하고 있으면, 호스트장치(20)의 사용자에게 의해 수시로 코맨드로서 IC 메모리 카드 (10)로 보내진다.

또, 호스트장치(20)가 어느 한 쪽의 모드에 한정되어 있으면, 자동적으로 호스트장치(20)로부터 IC 메모리 카드 (10)로 모드전환신호 S20이 내보내져서 특정 모드에서만 사용된다.

그리고, IC 메모리 카드 (10)에 있어서는 모드식별신호 S12로 지정된 모드에 따른 데이터의 처리(독출동작 등)가 행해진다.

LP/SP 모드에 따른 각 플래시 메모리칩(11a~11d)에 있어서의 기입, 독출동작은 이미 도 4-도 10에 관련시켜 설명한 바와 같이 행해진다(여기에서는 그 상세한 설명은 생략함).

이상 설명한 바와 같이, 본 실시형태에 의하면 IC 메모리 카드 (10) 전체, 또는 부분마다 최대 기억용량을 변화시킬 수 있고, 기입/독출속도가 빠른 또는 반복 재기입 보증 횟수가 요구되는 용도에서는 최대 기억용량이 작은 모드로 하고, 한편 기입/독출속도가 느린 또는 반복 재기입 보증 횟수가 요구되지 않는 용도에서는 최대 기억용량이 큰 모드로 하도록 구성했으므로, 동일한 IC 메모리 카드 (10)가 용도에 따라 사용방법의 변경이 가능하게 되는 이점이 있다.

그리고, 본 실시형태에서는 모드의 전환을 호스트장치(20)와의 코맨드의 수수로 행하도록 구성했지만, IC 메모리 카드 (10) 전체에서 LP 모드 또는 SP 모드에서 사용할 목적만의 경우에는, 예를 들면 도 12에 나타난 바와 같은 방법을 사용하여 카드 외형의 일부에 특징을 부여함으로써, LP 모드 전용카드 또는 SP 모드 전용카드로 하는 것도 가능하다.

이 경우에는, 호스트장치(20)는 IC 메모리 카드 (10)로부터 송출되는 모드식별신호 S12에 의거하여 모드식별을 행하는 것이 아니라, IC 메모리 카드 (10)에 대하여 모드식별을 행한다.

도 12 (A)에 나타난 방법은 IC 메모리 카드 (10)의 주변부에 슬라이드스위치(10a)를 설치하고, 이 슬라이드스위치(10a)의 위치로 LP 모드 전용카드인가 SP 모드 전용 카드인지를 식별하는 방법이다.

도 12 (B)에 나타난 방법은 IC 메모리 카드 (10)의 주변부에 구멍이나 홀로(hollow)(10b)를 형성하고, 이 구멍이나 홀로(10b)의 위치나 유무(有無)로 LP 모드 전용 카드인지 SP 모드 전용 카드인지를 식별하는 방법이다.

도 12 (C)에 나타난 방법은 IC 메모리 카드 (10)의 주변부에 노치(10c)를 형성하고, 이 노치(10c)의 위치나 유무로 LP 모드 전용카드인가 SP 모드 전용카드인가를 식별하는 방법이다.

도 12 (D)에 나타난 방법은 IC 메모리 카드 (10)의 주변부에 전기적인 온/오프스위치(10d)를 설치하고, 이 온·오프스위치(10d)의 설정에 따른 온/오프신호에 따라, LP 모드 전용카드인가 SP 모드 전용카드인가를 식별하는 방법이다.

또, LP 모드에서의 반복 재기입 횟수는 SP 모드보다도 적고, LP 모드에서의 재기입 보증 횟수(예를 들면 10000회)를 초과한 경우에는, 그 후에는 SP 모드에서만 사용하는 기능을 가지게 하는 것도 가능하다.

구체적으로는, IC 메모리 카드 (10)의 컨트롤러(12)의 온 칩 또는 별도의 칩에재기입 횟수용(回數用)의 카운터를 설치하고, 이 카운트값이 미리 설정한 LP 모드에서의 보증치를 초과한 경우에는, 그 이후에는 SP 모드에서 사용한다.

도 13은 이 재기입 보증 횟수에 의거하여 LP/SP 모드 전환처리를 나타낸 플로차트이다.

이 예에서는, 소거명령을 받아 전환판정처리를 행하는 예이다.

도 13의 예는 당초는 기억용량이 큰 LP 모드에서 사용하고(S1), 호스트장치(20)로부터의 소거명령을 받아, 카운터의 카운트값이 컨트롤러(12)에 의해 독출된다(S2,S3).=

컨트롤러(12)에 있어서는 독출한 카운트값이 미리 설정되어 있는 재기입 보증 횟수를 초과하고 있는지 여부의 판별이 행해진다(S4),

스텝 S4에 있어서, 카운트값이 재기입 보증 횟수를 초과하고 있지 않다고 판별한 경우에는, 플래시 메모리칩에 대한 소거동작이 행해지고(S5), 카운터가 +1만큼 인크리먼트(increment)되어(S6), 다음의 동작으로 이행한다(S7).

한편, 스텝 S4에 있어서, 카운트값이 재기입 보증 횟수를 초과하고 있다고 판별한 경우에는, 금후 SP 모드에서밖에 기입을 할 수 없다는 것을, 호스트장치(20)측에 경고신호를 송출하는 동시에 소거하는지 여부를 묻는다(S8).

스텝 S8에 있어서, 소거를 행하는 경우에는 소거동작을 행하여, 소거한 블록을 SP 모드에 고정하고, 다음의 동작으로 이행한다(S9-S11).

한편, 스텝 S8에 있어서, 소거를 행하고 있지 않은 경우에는 소거동작을 행하지 않고, 다음의 동작으로 이행한다(S12,S13).

이와 같이, LP 모드에서의 반복 재기입 횟수는 SP 모드보다도 적어, LP 모드에서의 재기입 보증 횟수를 초과한 경우에는, 그 후에는 SP 모드에서만 사용하는 기능을 가지게 함으로써, 용도에 따라 사용방법을 변경할 수 있는 동시에 신뢰성이 높은 IC 메모리 카드 를 실현할 수 있는 이점이 있다.

그리고 카운터는 기입/소거 단위인 블록마다 모드설정을 행하는 경우에는, 블록마다 설치된다.

이상의 설명에서는 이른바 AV(Audio Video)장치에 사용되는 LP/SP 모드를 예로 설명했지만, 본 발명이 다른 장치나 다른 모드에 대해서도 적용 가능한 것은 물론이다.

예를 들면, LP/SP 2개의 모드를 전환할 뿐만 아니라, 3개 이상의 모드전환도 가능하다.

구체적으로는, 플래시 메모리가 3비트(8치)의 경우, 제1 모드가 3비트(8치)/셀에서 사용, 제2 모드가 2비트(4치)/셀에서 사용, 제3 모드가 1비트(2치)/셀에서 사용되도록 구성하는 것도 가능하다.

또, IC 메모리 카드 이외에도 적용 가능함은 물론이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 목적 용도에 사용방법의 변경이 가능하게 되는 이점이 있다.

또, 다치 데이터의 레벨수가 높은 모드에서의 재기입 보증 횟수를 초과한 경우에는, 다시 다치 데이터의 레벨수가 낮은 모드에서 사용할 수 있어, 용도에 따라 사용방법을 변경할 수 있는 동시에, 신뢰성의 향상을 도모할 수 있다.

또한, 동일한 IC 메모리 카드로 카드 외형의 일부의 변경에 의해 모드를 고정한 제품 설정을 할 수 있다.

(57) 청구의 범위

청구항 1

2치(値) 또는 3치 이상의 다치 데이터를 기억할 수 있는 복수의 메모리셀 트랜지스터가 배열된 메모리 어레이

영역을 가지는 불휘발성 반도체 기억장치에 있어서,
상기 메모리 어레이 영역의 최소한 일부 영역의 기억용량을 변경하여 데이터를 기억할 수 있는 수단
을 포함하는 불휘발성 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 기억용량을 변경하여 데이터를 기억할 수 있는 수단이 외부신호에 따라 기억용량을 변경하는 불휘발성 반도체 기억장치.

청구항 3

2치 또는 3치 이상의 다치 데이터를 기억할 수 있는 복수의 메모리셀 트랜지스터가 배열된 메모리 어레이 영역을 가지는 불휘발성 반도체 기억장치에 있어서,

상기 메모리 어레이 영역의 최소한 일부 영역에 기록되어야 할 다치 데이터의 레벨수를 변경하여 기억용량을 변경함으로써 데이터를 기억할 수 있는 수단

을 포함하는 불휘발성 반도체 기억장치.

청구항 4

제3항에 있어서, 상기 다치 데이터의 레벨수를 변경할 수 있는 수단이 외부로부터의 동작모드신호에 따라 다치 데이터의 레벨수를 변경하는 불휘발성 반도체 기억장치.

청구항 5

제3항에 있어서,

동작모드는 기억용량이 큰 제1 모드와, 기억용량이 작은 제2 모드를 포함하고,

상기 다치 데이터의 레벨수를 변경할 수 있는 수단이 제1 모드시의 다치 데이터의 레벨수를 제2 모드시의 다치 데이터 레벨수보다 높게 설정하는 불휘발성 반도체 기억장치.

청구항 6

제3항에 있어서, 상기 다치 데이터의 레벨수를 변경할 수 있는 수단이 외부로부터의 동작모드 신호에 따라 최대 기억용량을 변경할 수 있고, 상기 최대 기억용량에 따라 다치 데이터의 레벨수를 변경하는 불휘발성 반도체 기억장치.

청구항 7

제3항에 있어서, 복수의 동작모드 중 최소한 하나의 기억용량 모드에서 반복된 기입/소거 동작의 수를 카운트하는 카운터를 추가로 포함하는 불휘발성 반도체 기억장치.

청구항 8

제7항에 있어서, 상기 다치 데이터의 레벨수를 변경할 수 있는 수단은 상기 카운터가 해당 모드에서 반복된 재기입 보증 횟수를 초과할 경우 상기 기억영역들 중 최소한 하나의 최대 기억용량이 작아지도록 다치 데이터의 레벨수를 낮은 설정값으로 변경하는 불휘발성 반도체 기억장치.

청구항 9

2치(值) 또는 3치 이상의 다치 데이터를 기억할 수 있는 복수의 메모리셀 트랜지스터가 배열된 메모리 어레이 영역을 가지는 불휘발성 반도체 기억장치에 있어서,

상기 메모리 어레이 영역의 최소한 일부 영역에 저장될 다치 데이터의 레벨수를 변경하여 기억용량을 변경함으로써 데이터를 저장할 수 있는 수단

을 포함하고,

상기 다치 데이터의 레벨수를 변경하여 기억용량을 변경함으로써 데이터를 저장할 수 있는 수단은 상기 기억 영역의 부분들에 대한 기억용량이 변경될 경우 기입/소거 단위인 블록의 변경을 행하는

불휘발성 반도체 기억장치.

청구항 10

제9항에 있어서, 상기 불휘발성 반도체 기억장치가 페이지 단위로 데이터의 기입 및 독출을 행하는 불휘발성 반도체 기억장치.

청구항 11

제10항에 있어서, 상기 다치 데이터의 레벨수가 하이일 경우 액세스될 복수의 열을 상기 다치 데이터의 레벨수를 로우로 설정할 때 한 페이지—여기서 페이지 사이즈는 상기 다치 데이터의 레벨수가 변경되는 경우에도 일정하게 유지됨—로 만드는 수단을 추가로 포함하는 불휘발성 반도체 기억장치.

청구항 12

제9항에 있어서, 상기 동작모드 중 최소한 하나의 기억용량 모드에서 반복된 기입/소거 동작의 수를 카운트하는 카운터를 추가로 포함하는 불휘발성 반도체 기억장치.

청구항 13

제12항에 있어서, 상기 다치 데이터의 레벨수를 변경할 수 있는 수단은 상기 카운터가 해당 모드에서 반복된 재기입 보증 횟수를 초과할 경우 상기 기억영역을 중 최소한 하나의 최대 기억용량이 작아지도록 다치 데이터의 레벨수를 낮은 설정값으로 변경하는 불휘발성 반도체 기억장치.

청구항 14

제12항에 있어서, 상기 최대 기억용량이 작아지도록 다치 데이터의 레벨수를 낮은 설정값으로 변경한 경우, 외부에 그러한 변경이 있었다는 것을 알리는 수단을 추가로 포함하는 불휘발성 반도체 기억장치.

청구항 15

제13항에 있어서, 상기 최대 기억용량이 작아지도록 다치 데이터의 레벨수를 낮은 설정값으로 변경한 경우, 외부에 그러한 변경이 있었다는 것을 알리는 수단을 추가로 포함하는 불휘발성 반도체 기억장치.

청구항 16

2치(值) 또는 3치 이상의 다치 데이터를 기억할 수 있는 복수의 메모리셀 트랜지스터가 배열된 메모리 어레이 영역과, 상기 메모리 어레이 영역의 최소한 일부 영역의 기억용량을 변경하여 데이터를 기억할 수 있는 수단을 가지는 불휘발성 반도체 기억장치

를 포함하는 IC 메모리 카드.

청구항 17

제16항에 있어서, 상기 기억용량을 변경할 수 있는 수단이 외부신호에 따라 기억용량을 변경하는 IC 메모리 카드.

청구항 18

제16항에 있어서,

상기 IC 메모리 카드에 기억용량을 설정하기 위한 특징부가 형성되고,

상기 외부장치는 상기 IC 메모리 카드의 특징부에 따라 기억용량을 식별하며,

상기 기억용량을 변경할 수 있는 수단은 외부장치로부터의 신호에 따라 기억용량을 변경하는

IC 메모리 카드.

청구항 19

외부장치와 데이터의 기록/재생이 가능한 IC 메모리 카드에 있어서,

2치(值) 또는 3치 이상의 다치 데이터를 기억할 수 있는 복수의 메모리셀 트랜지스터가 배열된 메모리 어레이 영역과, 상기 메모리 어레이 영역의 최소한 일부 영역에 저장될 다치 데이터의 레벨수를 변경하여 기억용량을 변경함으로써 데이터를 기억할 수 있는 수단을 가지는 불휘발성 반도체 기억장치

를 포함하는 IC 메모리 카드.

청구항 20

제19항에 있어서, 상기 기억용량을 변경할 수 있는 수단이 외부신호에 따라 기억용량을 변경하는 IC 메모리 카드.

청구항 21

제20항에 있어서,

동작모드는 기억용량이 큰 제1 모드와, 기억용량이 작은 제2 모드를 포함하고,

상기 다치 데이터의 레벨수를 변경할 수 있는 수단이 제1 모드시의 다치 데이터의 레벨수를 제2 모드시의 다치 데이터 레벨수보다 높게 설정하는

IC 메모리 카드.

청구항 22

제19항에 있어서,

상기 IC 메모리 카드에 기억용량을 설정하기 위한 특징부가 형성되고,

상기 외부장치는 상기 IC 메모리 카드의 특징부에 따라 기억용량을 식별하며,

상기 기억용량을 변경할 수 있는 수단은 외부장치로부터의 신호에 따라 기억용량을 변경하는

IC 메모리 카드.

청구항 23

제19항에 있어서,

복수의 동작모드 중 최소한 하나의 기억용량 모드에서 반복된 기입/소거 동작의 수를 카운트하는 카운터를 추가로 포함하는 IC 메모리 카드.

청구항 24

제23항에 있어서, 상기 다치 데이터의 레벨수를 변경할 수 있는 수단은 상기 카운터가 해당 모드에서 반복된 재기입 보증 횟수를 초과할 경우 상기 기억영역들 중 최소한 하나의 최대 기억용량이 작아지도록 다치 데이터의 레벨수를 낮은 설정값으로 변경하는 IC 메모리 카드.

청구항 25

제24항에 있어서, 상기 최대 기억용량이 작아지도록 다치 데이터의 레벨수를 낮은 설정값으로 변경한 경우, 외부에 그러한 변경이 있었다는 것을 알리는 수단을 추가로 포함하는 IC 메모리 카드.

청구항 26

외부장치와 데이터의 기록/재생이 가능한 IC 메모리 카드에 있어서,

2치(值) 또는 3치 이상의 다치 데이터를 기억할 수 있는 복수의 메모리셀 트랜지스터가 배열된 메모리 어레이 영역과, 상기 메모리 어레이 영역의 최소한 일부 영역에 저장될 다치 데이터의 레벨수를 변경하여 기억용량을 변경함으로써 데이터를 기억할 수 있는 수단을 가지는 불휘발성 반도체 기억장치

를 포함하고,

상기 다치 데이터의 레벨수를 변경하여 기억용량을 변경함으로써 데이터를 저장할 수 있는 수단은 상기 기억 영역의 부분들에 대한 기억용량이 변경될 경우 기입/소거 단위인 블록의 변경을 행하는

IC 메모리 카드.

청구항 27

제26항에 있어서, 상기 불휘발성 반도체 기억장치가 페이지 단위로 데이터의 기입 및 판독을 행하는 IC 메모리 카드.

청구항 28

제27항에 있어서, 상기 다치 데이터의 레벨수가 하이일 경우 액세스될 복수의 열을 상기 다치 데이터의 레벨수를 로우로 설정할 때 한 페이지—여기서 페이지 사이즈는 상기 다치 데이터의 레벨수가 변경되는 경우에도 일정하게 유지됨—로 만드는 수단을 추가로 포함하는 IC 메모리 카드.

청구항 29

제26항에 있어서, 복수의 동작모드 중 최소한 하나의 기억용량 모드에서 반복된 기입/소거 동작의 수를 카운트하는 카운터를 추가로 포함하는 IC 메모리 카드.

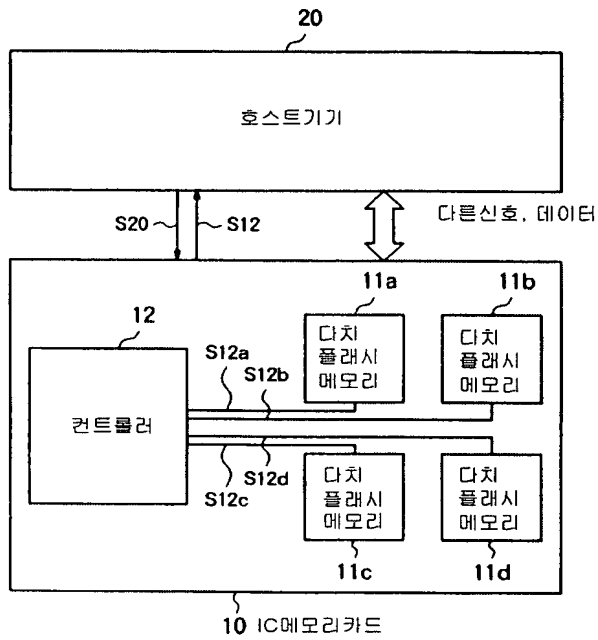
청구항 30

제29항에 있어서, 상기 다치 데이터의 레벨수를 변경할 수 있는 수단은 상기 카운터가 해당 모드에서 반복된 재기입 보증 횟수를 초과할 경우 상기 기억영역들 중 최소한 하나의 최대 기억용량이 작아지도록 다치 데이터의 레벨수를 낮은 설정값으로 변경하는 IC 메모리 카드.

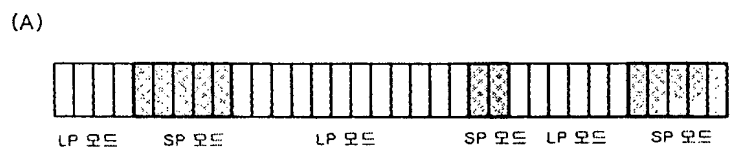
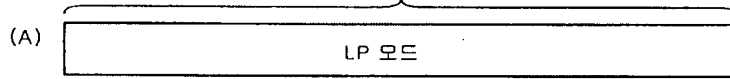
청구항 31

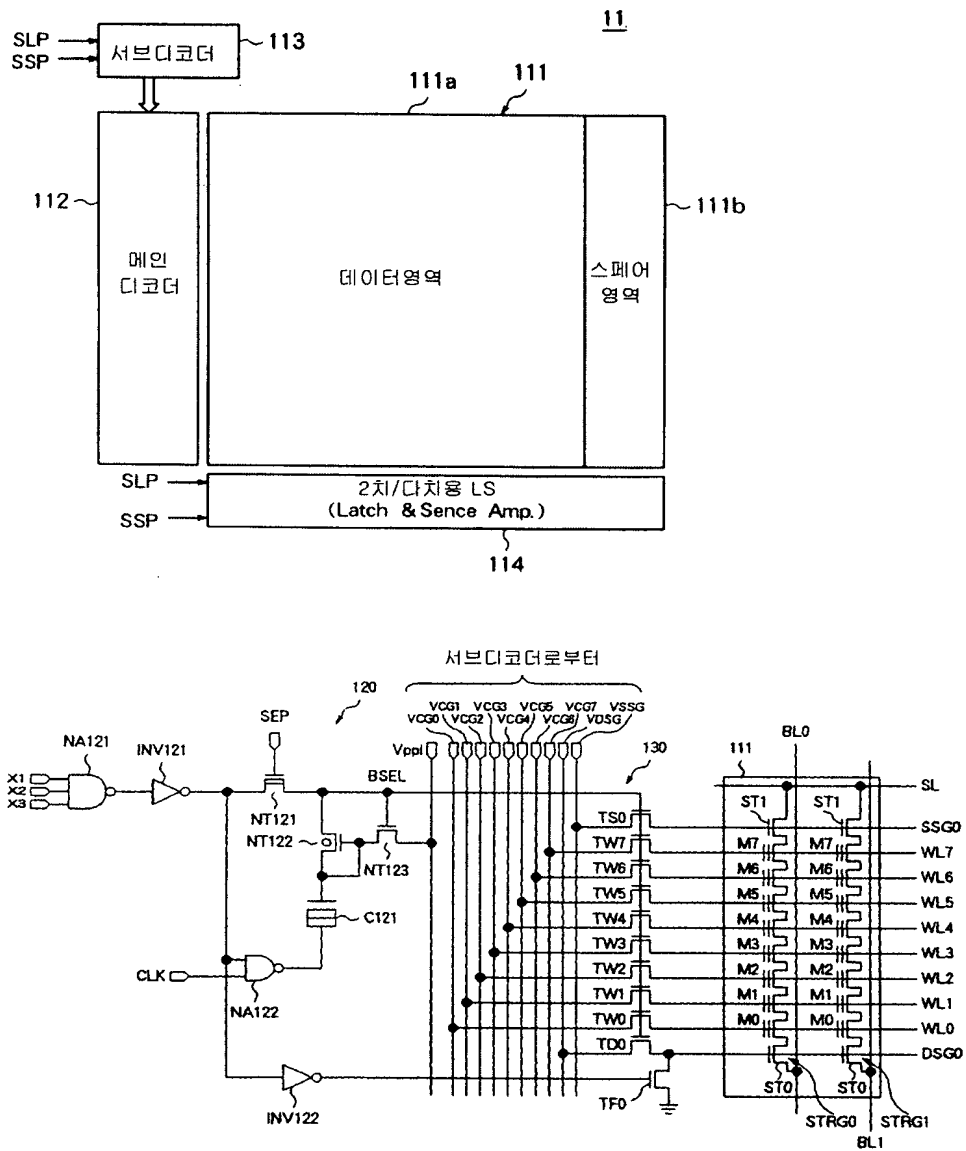
제30항에 있어서, 상기 최대 기억용량이 작아지도록 다치 데이터의 레벨수를 낮은 설정값으로 변경한 경우, 외부에 그러한 변경이 있었다는 것을 알리는 수단을 추가로 포함하는 IC 메모리 카드.

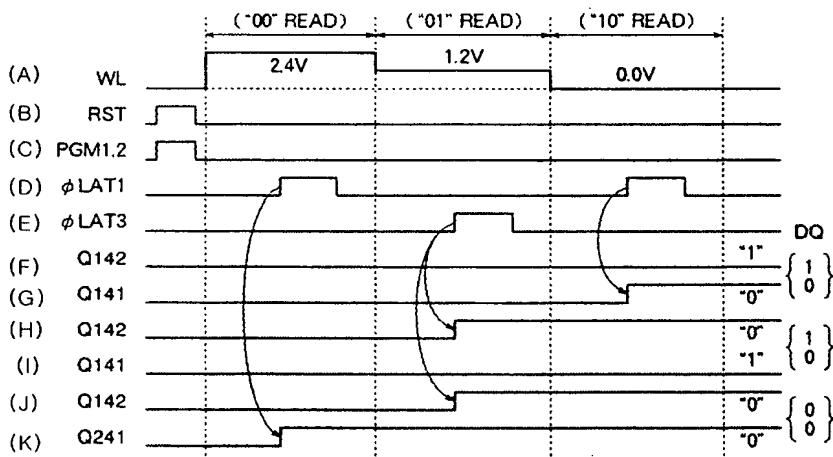
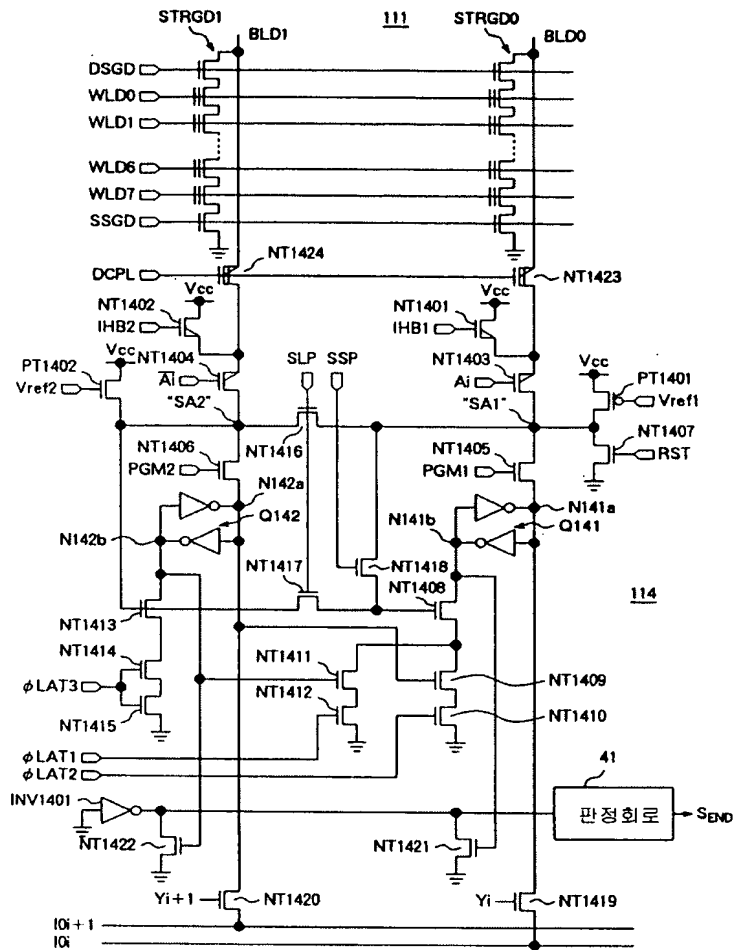
도면

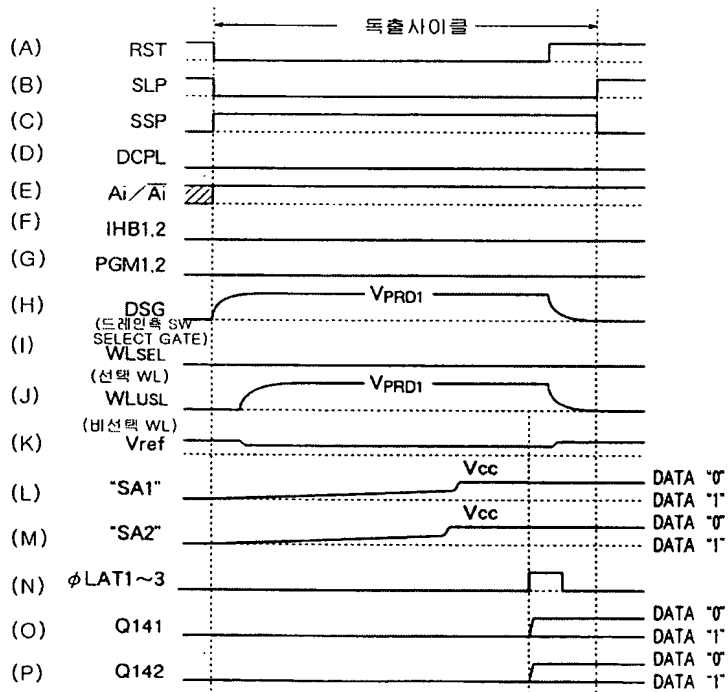
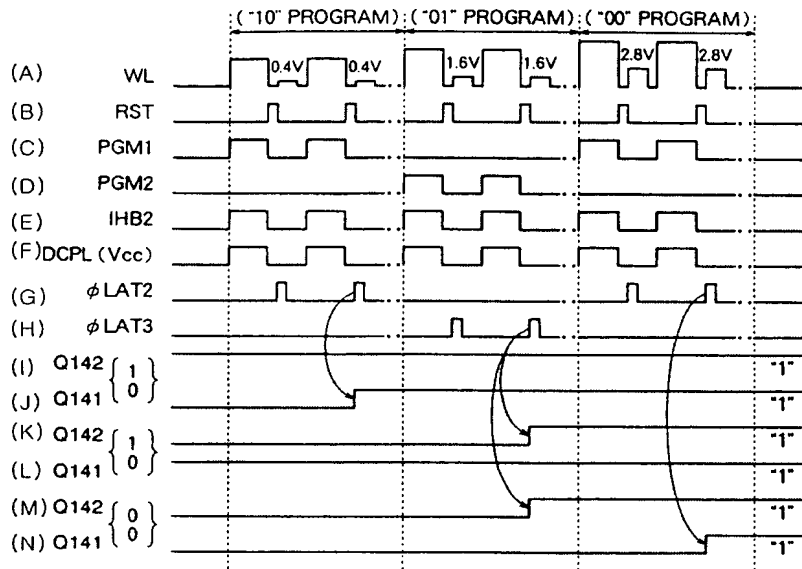


플래시 메모리카드의 데이터 기억영역의 전체









독출타이밍(2치)

